

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-186521

(43)公開日 平成11年(1999) 7月9日

(51)Int.Cl.⁶

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

6 2 1 C

6 8 1 F

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21)出願番号

特願平9-353523

(22)出願日

平成9年(1997)12月22日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 宮川 康陽

東京都港区虎ノ門1丁目7番12号沖電気工業株式会社内

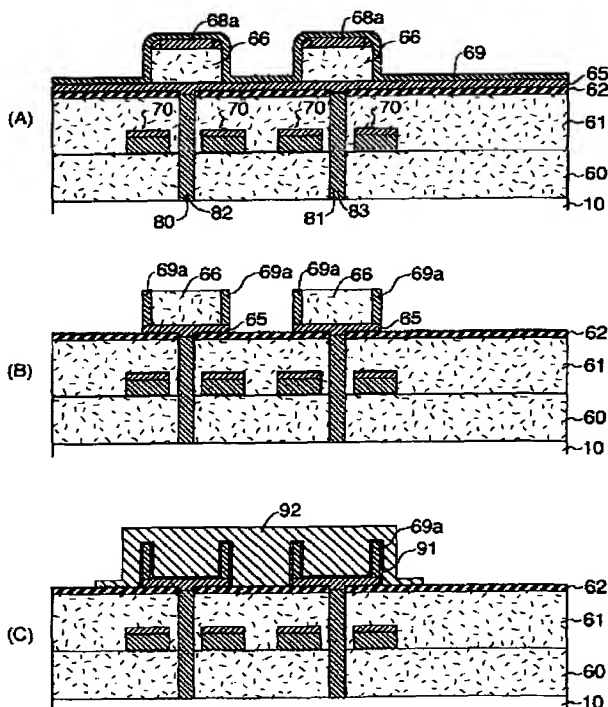
(74)代理人 弁理士 小岩井 雅行 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 デザインルールが縮小された場合に、キャパシタ電極形成用のレジストパターンを形成する際のマスクの縮小率を変更せずに、キャパシタ電極の高さ方向のサイズを大きくすることなく十分な容量が確保できる半導体装置の製造方法を提供することを課題とする。

【解決手段】 第3のシリコン酸化膜66をストッパーとしてサイドウォール状にエッチングすることにより、第2のポリシリコン膜68のパターンをフォトリソグラフィにより形成されるパターンより拡大してマスクパターン68aを形成する。このパターン68aをマスクにして第3のシリコン酸化膜66をエッチングした後、第3のポリシリコン膜69を堆積し、これらのポリシリコン膜を異方的にエッチングする。第3のシリコン酸化膜66をエッチングにより除去し、キャパシタ電極69aを形成する。



【特許請求の範囲】

【請求項1】 シリコン基板上に堆積された絶縁膜上にシリコン窒化膜を形成する段階と、
前記シリコン窒化膜上に第1のポリシリコン膜を堆積する段階と、
前記第1のポリシリコン膜の上にシリコン酸化膜を堆積する段階と、
前記シリコン酸化膜の上に前記第1のポリシリコン膜より大きな膜厚で第2のポリシリコン膜を堆積する段階と、
前記シリコン酸化膜をストッパーとして前記第2のポリシリコン膜をフォトリソグラフィのプロセスによりエッチングしてアイランド状のマスクパターンを形成する段階と、
前記マスクパターンにサイドウォールを形成してマスクパターンを拡大する段階と、
前記拡大されたマスクパターンをマスクとし、前記第1のポリシリコン膜をストッパーとして前記シリコン酸化膜をエッチングする段階と、
第3のポリシリコン膜を堆積する段階と、
前記第1、第3のポリシリコン膜のうち前記シリコン窒化膜上に堆積した部分と、前記第3のポリシリコン膜のうち前記シリコン酸化膜上に堆積した部分と、前記マスクパターンとをエッチングにより除去する段階と、
前記シリコン酸化膜をエッチングして除去することによりキャパシタ電極を形成する段階とを含み、これらの段階が順に実行されることを特徴とする半導体装置の製造方法。

【請求項2】 前記マスクパターンを構成する前記第2のポリシリコン膜の膜厚が、前記第1のポリシリコン膜の膜厚の1.2倍以上であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 シリコン基板上に堆積された絶縁膜上にシリコン窒化膜を形成する段階と、
前記シリコン窒化膜上に第1のポリシリコン膜を堆積する段階と、
前記第1のポリシリコン膜の上にシリコン酸化膜を堆積する段階と、
前記シリコン酸化膜の上に前記第1のポリシリコン膜の膜厚より大きい膜厚で第2のポリシリコン膜を堆積する段階と、
前記シリコン酸化膜をストッパーとして前記第2のポリシリコン膜をフォトリソグラフィのプロセスによりエッチングしてアイランド状のマスクパターンを形成する段階と、
前記マスクパターンにサイドウォールを形成してマスクパターンを拡大する段階と、
前記拡大されたマスクパターンをマスクとし、前記第1のポリシリコン膜をストッパーとして前記シリコン酸化膜をエッチングする段階と、

前記マスクパターンが残る条件で前記シリコン窒化膜上に堆積した第1のポリシリコン膜をエッチングする段階と、
第3のポリシリコン膜を堆積する段階と、
前記第3のポリシリコン膜のうち前記シリコン窒化膜上に堆積した部分と、前記第3のポリシリコン膜のうち前記第3のシリコン酸化膜上に堆積した部分と、前記マスクパターンとをエッチングする段階と、
前記第3のシリコン酸化膜をエッチングして除去することによりキャパシタ電極を形成する段階とを含み、これらの段階が順に実行されることを特徴とする半導体装置の製造方法。

【請求項4】 前記マスクパターンを構成する前記第2のポリシリコン膜の膜厚が、前記第1のポリシリコン膜の膜厚の1.4倍以上であることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記第3のポリシリコン膜が粗面ポリシリコン膜であることを特徴とする請求項1～4のいずれかに記載の半導体装置の製造方法。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の配線工程における製造方法に関し、特に、キャパシタ電極の形成技術に関する。

【0002】

【従来の技術】従来のキャパシタ電極の形成方法を図12～図14に基づいて説明する。図12(A)は、通常のダイナミックランダムアクセスメモリ(DRAM)の製造工程により、ビット線まで形成した半導体装置の断面を示す。シリコン基板10上に第1のシリコン酸化膜60が堆積され、このシリコン酸化膜60上にビット線70が形成されている。ビット線70を覆って第2のシリコン酸化膜61が堆積され、その表面を化学機械研磨(CMP)により平坦化してシリコン窒化膜62が堆積されている。

【0003】図12(B)に示されるように、シリコン窒化膜62上にポリシリコンから成るホールマスク層63を堆積し、通常のフォトリソグラフィプロセスによりレジストパターン64を形成し、これをマスクとしてシリコン窒化膜62をストッパーとする条件でホールマスク層63を異方的にエッチングする。レジストパターン64を灰化した後、さらにポリシリコンを堆積し、異方的にエッチングすることにより、図12(C)に示されるようにサイドウォールを形成してフォトリソグラフィプロセスで形成されたホールより小径のホールをホールマスク層63に形成する。

【0004】ホールマスク層63に対して十分な選択比が得られる条件で、シリコン窒化膜62、第2のシリコン酸化膜61、第1のシリコン酸化膜60を一括してエッチングすることにより、図13(A)に示されるようにシリコン基板10に達するセルコンタクトホール80,81を開口す

3

る。ポリシリコンを堆積することによりセルコンタクトホール80, 81を埋め込み、エッチバックして図13(B)に示されるようにパッド82, 83を形成する。

【0005】図14(A)に示されるように、シリコン窒化膜62上に第1のポリシリコン膜65および第3のシリコン酸化膜66を堆積し、キャパシタ電極を形成するためのレジストパターン67を通常のフォトリソグラフィプロセスにより形成する。そして、第1のポリシリコン膜65をストッパーとして第3のシリコン酸化膜66をエッチングし、続けてシリコン窒化膜62をストッパーとして第1のポリシリコン膜65をエッチングする。

【0006】レジストパターン67を灰化した後、第2のポリシリコン膜を堆積し、シリコン窒化膜63をストッパーとして図14(B)に示されるように第3のシリコン酸化膜66が露出するまで異方的にエッチバックすることにより、第3のシリコン酸化膜66の周囲にキャパシタ電極90を形成する。第3のシリコン酸化膜66をフッ化水素水溶液でエッチングして除去し、キャパシタ電極90の表面にキャパシタ絶縁膜91を堆積し、セルプレート電極を形成するためのポリシリコン膜を堆積し、通常のフォトリソグラフィプロセスを用いてエッチングすることによりセルプレート電極92を形成する。

【0007】

【発明が解決しようとする課題】上述した従来の製造方法では、キャパシタ電極90の平面的なサイズがフォトリソグラフィプロセスにより形成されたレジストパターン67のサイズにより規定されるため、デザインルールが縮小された場合にも従前の静電容量を確保しようとする、キャパシタ電極90を形成用のレジストパターン67を形成する際の露光マスクのみ縮小率を変更するか、あるいは縮小率は変更せずにキャパシタ電極の高さ方向のサイズを大きくする必要があった。しかしながら、レジストパターン67を形成する際のマスクのみ縮小率を変更する場合にはマスクの加工が困難であり、キャパシタ電極の高さ方向のサイズを大きくした場合にはキャパシタ電極を絶縁膜で覆った際の装置の高さが高くなり、絶縁膜形成後にシリコン基板10に対して開口するメタル配線コンタクトホールのアスペクト比が増大してエッチングが困難になるという問題がある。

【0008】この発明は、上述した従来技術の問題点を鑑みてなされたものであり、デザインルールが縮小された場合に、キャパシタ電極形成用のレジストパターンを形成する際のマスクの縮小率を変更せずに、キャパシタ電極の高さ方向のサイズを大きくすることなく十分な容量が確保できる半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】この発明にかかる半導体装置の製造方法は、シリコン基板上に堆積された絶縁膜上にシリコン窒化膜を形成する段階と、シリコン窒化膜

4

上に第1のポリシリコン膜を堆積する段階と、第1のポリシリコン膜の上にシリコン酸化膜を堆積する段階と、シリコン酸化膜の上に第1のポリシリコン膜より大きな膜厚で第2のポリシリコン膜を堆積する段階と、シリコン酸化膜をストッパーとして第2のポリシリコン膜をフォトリソグラフィのプロセスによりエッチングしてアイランド状のマスクパターンを形成する段階と、マスクパターンにサイドウォールを形成してマスクパターンを拡大する段階と、拡大されたマスクパターンをマスクとし、第1のポリシリコン膜をストッパーとしてシリコン酸化膜をエッチングする段階と、第3のポリシリコン膜を堆積する段階と、第1、第3のポリシリコン膜のうちシリコン窒化膜上に堆積した部分と、第3のポリシリコン膜のうちシリコン酸化膜上に堆積した部分と、マスクパターンとをエッチングにより除去する段階と、シリコン酸化膜をエッチングして除去することによりキャパシタ電極を形成する段階とを含み、これらの段階が順に実行されることを特徴とする。上記の構成によれば、シリコン酸化膜のサイドに形成された第3のポリシリコン膜と、シリコン酸化膜下に位置する第1のポリシリコン膜とがキャパシタ電極として残存する。第2のポリシリコン膜により形成されたマスクパターンにサイドウォールを形成して拡大することにより、露光の際のマスクパターンの縮尺を変更することなくキャパシタ電極間の距離を大きくすることができる。また、シリコン窒化膜上に形成された第1、第3のポリシリコン膜を除去する際に、シリコン酸化膜上ではマスクパターンである第2のポリシリコン膜と第3のポリシリコン膜とが除去されるが、第2のポリシリコン膜の膜厚が第1のポリシリコン膜の膜厚より大きい場合、シリコン窒化膜上の部分が短い時間で除去される。したがって、第2のポリシリコン膜が除去できた時点でエッチングを停止することにより、シリコン酸化膜のサイドにキャパシタ電極として形成された第3のポリシリコン膜の高さを十分に保ちつつ、シリコン窒化膜上に形成されたポリシリコン膜を完全に除去することができる。

【0010】上記の方法による場合には、マスクパターンを構成する第2のポリシリコン膜の膜厚が、第1のポリシリコン膜の膜厚の1.2倍以上であることが望ましい。

【0011】また、拡大されたマスクパターンをマスクとしてシリコン酸化膜をエッチングする段階の後に、マスクパターンが残る条件でシリコン窒化膜上に堆積した第1のポリシリコン膜をエッチングする段階を含ませてもよい。この場合には、ポリシリコン膜をエッチングする段階では、シリコン窒化膜上に堆積した第3のポリシリコン膜と、シリコン酸化膜上に堆積した第3のポリシリコン膜およびマスクパターンとをエッチングすればよい。この方法による場合には、マスクパターンを構成する第2のポリシリコン膜の膜厚が、第1のポリシリコン

膜の膜厚の1.4倍以上であることが望ましい。なお、上記のいずれの場合にも、第3のポリシリコン膜は粗面ポリシリコン膜とすることができる。

【0012】

【発明の実施の形態】以下、この発明にかかる半導体装置の製造方法をダイナミックランダムアクセスメモリ(DRAM)の製造工程に適用した実施形態を3例、図1～図12に基づいて説明する。

【0013】図1～図3は、第1の実施形態にかかる半導体装置の製造方法を示し、それぞれDRAMの製造工程中の配線工程の一部を段階的に示す拡大断面図である。図1(A)に示されるように、シリコン基板10上に堆積された第1のシリコン酸化膜60上にはビット線70が形成され、ビット線70を覆って第2のシリコン酸化膜61が形成されている。第2のシリコン酸化膜61をCMPにより平坦化した後、シリコン窒化膜62を堆積する。

【0014】続いて、図1(B)に示されるように、シリコン窒化膜62上にポリシリコンから成るホールマスク層63が堆積され、通常のフォトリソグラフィプロセスにより形成されたレジストパターン64をマスクとしてシリコン窒化膜62をストッパーとする条件でホールマスク層63を異方的にエッチングする。このときのエッチング条件は、例えば、平行平板型反応性イオンエッチング装置を用い、圧力20mTorrでSF₆、HBrの各ガスをそれぞれ流量36cc/min、8cc/minで供給し、RFパワーを300W、冷却He圧力を4Torrに設定する。

【0015】レジストパターン64を灰化した後、さらにポリシリコンを堆積し、異方的にエッチングすることにより、図1(C)に示されるようにサイドウォールを形成してフォトリソグラフィプロセスで形成されたホールより小径のホールをホールマスク層63に形成する。このときのエッチング条件は、例えば、ECRプラズマエッチング装置を用い、圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを400W、RFパワーを50W、電極温度を-20℃に設定する。サイドウォールを利用してパターンホールの径を小さくすることにより、フォトリソグラフィプロセスにより形成されたマスクパターン64をそのまま利用するよりも径の小さいコンタクトホールを形成することができる。

【0016】ホールマスク層63に対して十分な選択比が得られる条件で、シリコン窒化膜62、第2のシリコン酸化膜61、第1のシリコン酸化膜60を一括してエッチングすることにより、図1(D)に示されるようにシリコン基板10に達するセルコンタクトホール80,81を開口する。このときのエッチング条件は、例えば、マグネトロンエッチング装置を用い、圧力35mTorrでCHF₃、COの各ガスを流量30cc/min、170cc/minで供給し、RFパワーを1600W、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。

【0017】続いて、ポリシリコンを堆積することによ

りセルコンタクトホール80,81を埋め込み、エッチバックして図2(A)に示されるようにパッド82,83を形成する。このときのエッチバックの条件は、例えば、ECRプラズマエッチング装置を用い、第1ステップで圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを400W、RFパワーを30W、電極温度を20℃に設定してポリシリコン膜の大部分をエッチングし、第2ステップでRFパワーを15Wに下げた残りの部分をエッチングする。

10 【0018】図2(B)に示されるように、シリコン窒化膜62上にさらに第1のポリシリコン膜65、第3のシリコン酸化膜66、第2のポリシリコン膜68を順に堆積し、キャパシタ電極を形成するためのレジストパターン67を通常のフォトリソグラフィプロセスにより第2のポリシリコン膜68の上に形成する。なお、第2のポリシリコン膜68の膜厚は、第1のポリシリコン膜65の膜厚の1.2倍以上に設定されている。続いて、第3のシリコン酸化膜66をストッパーとして第2のポリシリコン膜68を異方的にエッチングする。これにより、第2のポリシリコン膜68によりアイランド状のマスクパターンが形成される。このときのエッチング条件は、例えば、平行平板型反応性イオンエッチング装置を用い、圧力20mTorrでSF₆、HBrの各ガスをそれぞれ流量26cc/min、8cc/minで供給し、RFパワーを300W、冷却He圧力を4Torrに設定する。

20 【0019】レジストパターン67を灰化した後、ポリシリコンをさらに堆積し、第3のシリコン酸化膜66をストッパーとしてサイドウォール状にエッチングすることにより、図2(C)に示されるように第2のポリシリコン膜68のパターンをフォトリソグラフィにより形成されるパターンより拡大してマスクパターン68aを形成する。このときのエッチング条件は、例えば、ECRプラズマエッチング装置を用い、圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを400W、RFパワーを50W、電極温度を-20℃に設定する。

30 【0020】次に、拡大されたマスクパターン68aをマスクとして、第1のポリシリコン膜65をストッパーとして第3のシリコン酸化膜66を異方的にエッチングする。このときのエッチング条件は、例えば、マグネトロンエッチング装置を用い、圧力40mTorrでCHF₃、COの各ガスを流量30cc/min、120cc/minで供給し、RFパワーを1500W、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。

40 【0021】第3のシリコン酸化膜66が図3(A)に示すようにエッチングされた後、第3のポリシリコン膜69を堆積し、第1、第3のポリシリコン膜65,69のうちシリコン窒化膜62上に堆積した部分と、第3のポリシリコン膜69のうち第3のシリコン酸化膜66上に堆積した部分、およびマスクパターン68aとをシリコン窒化膜62をストッパーとして異方的にエッチングする。このときのエッチング条件は、例えば、ECRプラズマエッチング装置

を用い、圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを400W、RFパワーを50W、電極温度を-20℃に設定する。このエッチングの結果、図3(B)に示すように第3のポリシリコン膜のうち第3のシリコン酸化膜66の側面に堆積した部分がキャパシタ電極69aとして残る。

【0022】上記のポリシリコン膜のエッチング時に、第3のシリコン酸化膜66上の膜がシリコン窒化膜62上に形成された部分の膜より先に消失すると、シリコン窒化膜62上のポリシリコン膜を完全に除去する間に第3のシリコン酸化膜の側面に堆積した第3のポリシリコン膜69が上の方から削られ、キャパシタ電極69aの高さが低くなって静電容量が小さくなる。そこで、シリコン窒化膜62上のポリシリコン膜が先に消失するようマスクパターン68aの厚さが定められている。

【0023】第3のシリコン酸化膜66をフッ化水素水溶液を用いてエッチングにより除去し、図3(C)に示されるようにキャパシタ電極69aの周囲にキャパシタ絶縁膜91を形成し、セルプレート電極を形成するためのポリシリコン膜を堆積し、通常のフォトリソグラフィプロセスを用いてエッチングすることによりセルプレート電極92を形成する。

【0024】第1の実施形態によれば、第2のポリシリコン膜68にサイドウォールを形成することにより、フォトリソグラフィプロセスで形成されるマスクより大きなマスクパターン68aを形成するようにしたため、レジストパターン形成用の露光マスクのサイズを変更することなく、キャパシタ電極の平面的なサイズを拡大することができる。したがって、デザインルールが縮小された場合にも、キャパシタ電極の高さを高くすることなく従前の静電容量を確保することができる。

【0025】なお、第1の実施形態のキャパシタ電極となる第3のポリシリコン膜69を粗面ポリシリコン膜に置換することにより、第1の実施形態によるより静電容量を大きくすることができる。この場合、キャパシタ電極を形成するために第1、第2、第3のポリシリコン膜65, 68, 69をエッチングする際の条件は、例えばマグネトロンエッチング装置を用い、圧力10mTorrでCl₂, O₂の各ガスを流量30cc/min, 3cc/minで供給し、RFパワーを200W、磁場強度を20Gauss、冷却He背圧を4Torrに設定する。

【0026】図4は、第2の実施形態にかかる半導体装置の製造方法の特徴部分を示す工程図である。第1の実施形態の図1、図2で示される工程は第2の実施例においても共通であるため、説明を省略し、第1の実施形態の図3に示される工程に相当する工程のみを図4に基づいて説明する。

【0027】第2の実施形態では、図4(A)に示されるように、拡大されたマスクパターン68aをマスクとして第3のシリコン酸化膜66をエッチングした後、第3のポ

リシリコン膜69を堆積する前に、マスクパターン68aが残る条件でシリコン窒化膜62上に堆積した第1のポリシリコン膜65をシリコン窒化膜62をストッパーとしてエッチングする。このときのエッチング条件は、例えば、ECRプラズマエッチング装置を用い、圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを400W、RFパワーを50W、電極温度を-20℃に設定する。このエッチングの結果、マスクパターン68aは第1の実施形態の同一段階におけるより膜厚が薄くなる。また、この段階でマスクパターン68aを残存させるために、第2のポリシリコン膜68の堆積時の膜厚は、第1のポリシリコン膜の膜厚の1.4倍以上に設定される。

【0028】第1のポリシリコン膜65を除いた後、第3のポリシリコン膜69を堆積し、第3のポリシリコン膜69のうちシリコン窒化膜62上に堆積した部分と、第3のシリコン酸化膜66上に堆積した部分、そしてマスクパターン68aとをエッチングにより取り除く。このときのエッチング条件は、例えば、ECRプラズマエッチング装置を用い、圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを400W、RFパワーを50W、電極温度を-20℃に設定する。このエッチングの結果、図4(B)に示すように第3のポリシリコン膜69のうち第3のシリコン酸化膜66の側面に堆積した部分がキャパシタ電極69aとして残る。

【0029】第3のシリコン酸化膜66をフッ化水素水溶液を用いてエッチングにより除去し、図4(C)に示されるようにキャパシタ電極69aの周囲にキャパシタ絶縁膜91を形成し、セルプレート電極を形成するためのポリシリコン膜を堆積し、通常のフォトリソグラフィプロセスを用いてエッチングすることによりセルプレート電極92を形成する。

【0030】第2の実施形態による場合にも、第1の実施形態におけるのと同様に、レジストパターン形成用の露光マスクのサイズを変更することなく、キャパシタ電極の平面的なサイズを拡大することができる。また、第3のポリシリコン膜69を粗面ポリシリコン膜としてもよい。

【0031】図5～図11は、第3の実施形態にかかる半導体装置の製造方法を示す工程図である。DRAMは一般にCMOS回路を基本とする素子であり、nチャンネルMOSFET(nMOS)とpチャンネルMOSFET(pMOS)とを配線で接続して構成されている。図5(A)に示されるように、シリコン基板10にはウェルイオンの注入によりn形領域(nウェル)11とp形領域(pウェル)12とが形成されると共に、選択酸化により素子分離領域13, 14が形成されている。素子分離領域13より図中左側の領域は、低集積度領域である周辺回路領域Rp、右側の領域は、高集積度領域であるメモリセル領域Rmである。

【0032】トランスファゲート20は、図5(A)に示さ

10

20

30

40

50

れるように、シリコン基板10側から順に、ゲート酸化膜21とゲートポリシリコン膜22、そしてオフセットシリコン酸化膜23とを積層して構成されている。これら3層をシリコン基板10の全面に堆積した後、通常のフォトリソグラフィ工程によりトランスファゲート20の形成部分にレジスト膜を残し、ゲートポリシリコン膜22をストッパーとしてオフセットシリコン酸化膜23をドライエッチングする。レジストを灰化した後、オフセットシリコン酸化膜23をマスクとしてゲートポリシリコン膜22とゲートシリコン酸化膜21とを同時にドライエッチングしてトランスファゲート20を形成する。

【0033】トランスファゲート20を形成した後、周辺回路領域Rpとメモリセル領域Rmとのnウェル11をレジストによりマスクし、pウェル12の部分にn形不純物を図中に矢印で示したようにイオン注入法(イオンインプランテーション)によりドーピングしてnMOSのソース・ドレインとなるn⁻拡散層15を形成する。なお、イオン注入時のレジストパターンは図示していない。

【0034】図5(B)に示されるように、シリコン基板の全面に保護膜として第4のシリコン酸化膜35をCVD法により堆積した後、マスク層としてポリシリコン膜36をCVD法により堆積する。続いて、ポリシリコン膜36を異方的にエッチングすることにより、図5(C)に示されるように、トランスファゲート20の側面にサイドウォール36aを形成する。ここでのエッチング条件は、例えば、放電周波数2.45GHzのECRプラズマエッチング装置を用い、圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを300W、RFパワー密度を0.113W/cm²、電極温度を20℃に設定する。このとき、第4のシリコン酸化膜35の膜厚とサイドウォール36aの厚さとの合計が、周辺回路領域RpのMOSのソース・ドレインとなる拡散層を形成する際のマスクとして必要な幅となるようにエッチング時間を調整する。また、第4のシリコン酸化膜35の膜厚は、サイドウォール36aが除去された後にも第4のシリコン酸化膜35が残存するような厚さに定められる。

【0035】次に、通常のフォトリソグラフィプロセスにより他の領域をマスクして周辺回路領域Rpのpウェルにn形の不純物、nウェルにp形の不純物を図5(C)に矢印で示すように順にイオン注入法によりドーピングし、p⁺拡散層16、n⁺拡散層17を周辺回路領域RpのMOSのソース・ドレインとして形成する。サイドウォール36aはイオン注入の位置、すなわち各拡散層16、17とトランスファゲート20との位置関係を制御しており、これによりMOSFETの特性が決定される。なお、図1(C)においても、イオン注入時のレジストパターンは図示していない。

【0036】第4のシリコン酸化膜35に対して十分な選択比を確保できる条件でポリシリコン膜36で構成されるサイドウォール36aを等方的にエッチングして除去す

る。このときのエッチング条件は、例えば、放電周波数2.45GHzのマイクロ波ダウンフローエッチング装置を用い、圧力40PaでCF₄、O₂、Cl₂の各ガスをそれぞれ流量175cc/min、125cc/min、40cc/minで供給し、マイクロ波パワーを500W、電極温度を25℃に設定する。

【0037】図5(D)に示される段階では、メモリセル領域Rmのトランスファゲート20間の間隙を塞がず、かつ、後工程のコンタクトホール形成時のエッチングのストッパーとして機能するのに十分な膜厚のシリコン窒化膜31をCVD法により全面に形成する。シリコン窒化膜31の形成後、図5(E)に示されるように、メモリセル領域Rmをカバーするマスクパターン47を通常のフォトリソグラフィプロセスにより形成し、第4のシリコン酸化膜35に対して十分な選択比を確保できる条件で周辺回路領域Rpのシリコン窒化膜31を等方的にエッチングして全体的に除去する。このときのエッチング条件は、例えば、放電周波数2.45GHzのマイクロ波ダウンフローエッチング装置を用い、圧力80PaでCF₄、O₂、N₂、Cl₂の各ガスをそれぞれ流量270cc/min、270cc/min、80cc/min、160cc/minで供給し、マイクロ波パワーを600W、電極温度を25℃に設定する。

【0038】マスクパターン47のレジストを灰化した後、シリコン基板10の全面にトランスファゲート20を覆う膜厚の第5のシリコン酸化膜32を堆積し、その表面をCMPにより研磨して、図5(F)に示すように平坦化する。

【0039】図6(A)に示す段階では、メモリセル領域Rmでシリコン基板10に達するコンタクトホールを形成するため、通常のフォトリソグラフィプロセスによりレジスト膜によるマスクパターン40を形成し、これをマスクとしてシリコン窒化膜31をストッパーとする条件で第5のシリコン酸化膜32をエッチングし、続いてシリコン窒化膜31をエッチングする条件でシリコン基板10に達するパッドコンタクトホール41を開口する。第5のシリコン酸化膜32のエッチングには、例えばマグネトロンエッチング装置を用い、圧力40mTorrでC₄F₈、Ar、COの各ガスをそれぞれ流量16sccm、400sccm、300sccmで供給し、RFパワーを1300W、電極間隔を27mm、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。また、シリコン窒化膜31のエッチングには、続けて、圧力50mTorrでCHF₃、Ar、O₂の各ガスをそれぞれ流量20sccm、100sccm、20sccmで供給し、RFパワーを300W、電極間隔を32mm、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。

【0040】マスクパターン40のレジストを灰化した後、不純物をドーピングしたポリシリコン膜でパッドコンタクトホール41を埋めてエッチバックすることにより、図6(B)に示すようにパッド50を形成する。パッド50の形成後、図7(A)に示すように絶縁層として第1のシリコン酸化膜60を堆積し、メモリセル領域Rmでシリコン基

板10に達するパッドコンタクトホールと、周辺回路領域Rpでトランスファゲート20のゲートポリシリコン膜22に達するパッドコンタクトホールとを形成するためのマスクパターン42を第1のシリコン酸化膜60上に通常のフォトリソグラフィプロセスにより形成する。

【0041】上記のマスクパターン42を用いてシリコン窒化膜31をストッパーとする条件でシリコン酸化膜60, 32をエッチングし、続けてシリコン窒化膜31をエッチングすることにより、図7(B)に示すようにシリコン基板10に達するビット線コンタクトホール43とトランスファゲート20のゲートポリシリコン膜22に達するビット線コンタクトホール45とを一括して開口する。シリコン酸化膜60, 32のエッチングには、例えばマグネトロンエッチング装置を用い、圧力40mTorrでC₄F₈, Ar, COの各ガスをそれぞれ流量16sccm, 400sccm, 300sccmで供給し、RFパワーを1300W、電極間隔を27mm、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。また、シリコン窒化膜31のエッチングには、続けて、圧力40mTorrでCHF₃, Ar, O₂の各ガスをそれぞれ流量20sccm, 100sccm, 20sccmで供給し、RFパワーを300W、電極間隔を32mm、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。

【0042】マスクパターン42を灰化した後に、図7(C)に示されるように、ビット線コンタクトホール43, 45を埋めてビット線膜34とシリコン窒化膜37とを堆積し、ビット線として必要部分を残すためのマスクパターン(図示せず)を通常のフォトリソグラフィプロセスにより形成し、これをマスクにしてシリコン窒化膜37をエッチングする。このときのエッチング条件は、例えば、平行平板型反応性イオンエッチング装置を用い、圧力1500mTorrでAr, CHF₃, CF₄の各ガスをそれぞれ流量1000cc/min, 30cc/min, 35cc/minで供給し、RFパワーを800W、電極温度を0℃に設定する。

【0043】続いて、レジストを灰化し、シリコン窒化膜37をマスクに第1のシリコン酸化膜60をストッパーとしてエッチングすることによりビット線34をパターンニングする。このときは、例えばECRエッチング装置を用い、圧力5mTorrでCl₂, O₂の各ガスを流量90cc/min, 100cc/minで供給し、マイクロ波パワーを400W、RFパワーを60W、電極温度を20℃に設定して第1ステップのエッチングをしてから、RFパワーを30Wに下げて第2ステップのエッチングをする。

【0044】さらにシリコン窒化膜を堆積し、異方的にエッチバックすることにより、図8(A)に示すようにシリコン窒化膜37とビット線34との周囲にサイドウォール37aを形成する。このときのエッチング条件は、例えば、平行平板型反応性イオンエッチング装置を用い、圧力1500mTorrでAr, CHF₃, CF₄の各ガスをそれぞれ流量1000cc/min, 30cc/min, 35cc/minで供給し、RFパワーを800W、電極温度を0℃に設定する。

【0045】その後、第2のシリコン酸化膜61を堆積し、平坦化してからシリコン窒化膜62を堆積し、その上にパッド50上に開口するレジストパターン48を通常のフォトリソグラフィプロセスにより形成する。このレジストパターン48をマスクとしてシリコン窒化膜62、シリコン酸化膜61, 60をエッチングすることにより、図8(B)に示すようなパッド50に達するセルコンタクトホール84を形成する。このときのエッチング条件は、例えばマグネトロンエッチング装置を用い、圧力40mTorrでC₄F₈, Ar, COの各ガスをそれぞれ流量16sccm, 400sccm, 300sccmで供給し、RFパワーを1300W、電極間隔を27mm、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。

【0046】レジストパターン48を灰化した後、図9(A)に示すようにセルコンタクトホール84を埋めてシリコン窒化膜62上の全面に第1のポリシリコン膜65と第3のシリコン酸化膜66と第2のポリシリコン膜68とを順に堆積し、キャパシタ電極を形成するためのレジストパターン67を通常のフォトリソグラフィプロセスにより第2のポリシリコン膜68の上に形成する。なお、第2のポリシリコン膜68の膜厚は、第1のポリシリコン膜65の膜厚の1.2倍以上に設定されている。続いて、第3のシリコン酸化膜66をストッパーとして第2のポリシリコン膜68を異方的にエッチングする。このときのエッチング条件は、例えば、平行平板型反応性イオンエッチング装置を用い、圧力20mTorrでSF₆, HBrの各ガスをそれぞれ流量26cc/min, 8cc/minで供給し、RFパワーを300W、冷却He圧力を4Torrに設定する。

【0047】レジストパターン67を灰化した後、ポリシリコンをさらに堆積し、第3のシリコン酸化膜66をストッパーとしてサイドウォール状にエッチングすることにより、図9(B)に示されるように第2のポリシリコン膜68のパターンをフォトリソグラフィにより形成されるパターンより拡大してマスクパターン68aを形成する。このときのエッチング条件は、例えば、ECRプラズマエッチング装置を用い、圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを400W、RFパワーを50W、電極温度を-20℃に設定する。

【0048】次に、拡大されたマスクパターン68aをマスクとして、第1のポリシリコン膜65をストッパーとして第3のシリコン酸化膜66を異方的にエッチングする。このときのエッチング条件は、例えば、マグネトロンエッチング装置を用い、圧力40mTorrでCHF₃, COの各ガスを流量30cc/min, 120cc/minで供給し、RFパワーを1500W、冷却He背圧を3/70Torr(センター/エッジ)、電極温度を20℃に設定する。

【0049】第3のシリコン酸化膜66が図10(A)に示すようにエッチングされた後、第3のポリシリコン膜69を堆積し、第1、第3のポリシリコン膜65, 69のうちシリコン窒化膜62上に堆積した部分と、第3のポリシリコ

ン膜69のうち第3のシリコン酸化膜66上に堆積した部分、およびマスクパターン68aをシリコン窒化膜62をストッパーとして異方的にエッチングする。このときのエッチング条件は、例えば、ECRプラズマエッチング装置を用い、圧力5mTorrでCl₂ガスを流量100cc/minで供給し、マイクロ波パワーを400W、RFパワーを50W、電極温度を-20℃に設定する。このエッチングの結果、図10(B)に示すように第3のポリシリコン膜のうち第3のシリコン酸化膜66の側面に堆積した部分がキャパシタ電極69aとして残る。

【0050】第3のシリコン酸化膜66をフッ化水素水溶液を用いてエッチングにより除去し、図11に示されるようにキャパシタ電極69aの周囲にキャパシタ絶縁膜91を形成し、セルプレート電極を形成するためのポリシリコン膜を堆積し、通常のフォトリソグラフィプロセスを用いてエッチングすることによりセルプレート電極92を形成する。

【0051】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法によれば、第2のポリシリコン膜にサイドウォールを形成することにより、フォトリソグラフィプロセスで形成されるマスクより大きなマスクパターンを形成するようにしたため、レジストパターン形成用の露光マスクのサイズを変更することなく、キャパシタ電極の平面的なサイズを拡大することができる。したがって、デザインルールが縮小された場合にも、キャパシタ電極の高さを高くすることなく従前の静電容量を確保することができ、絶縁膜形成後にシリコン基板に対して開口するメタル配線コンタクトホールのアスペクト比の増大を抑えることができる。

【図面の簡単な説明】

【図1】 第1の実施形態にかかる半導体装置の製造方法の工程の一部を段階的に示す半導体装置の拡大断面図。

【図2】 第1の実施形態にかかる半導体装置の製造方法の工程の次の一部を段階的に示す半導体装置の拡大断面図。

【図3】 第1の実施形態にかかる半導体装置の製造方法の工程のさらに次の一部を段階的に示す半導体装置の拡大断面図。

【図4】 第2の実施形態にかかる半導体装置の製造方

法の工程中の基板工程の一部を段階的に示す半導体装置の拡大断面図。

【図5】 第3の実施形態にかかる半導体装置の製造方法の工程の一部を段階的に示す半導体装置の拡大断面図。

【図6】 第3の実施形態にかかる半導体装置の製造方法の工程の次の一部を段階的に示す半導体装置の拡大断面図。

【図7】 第3の実施形態にかかる半導体装置の製造方法の工程のさらに次の一部を段階的に示す半導体装置の拡大断面図。

【図8】 第3の実施形態にかかる半導体装置の製造方法の工程のさらに次の一部を段階的に示す半導体装置の拡大断面図。

【図9】 第3の実施形態にかかる半導体装置の製造方法の工程のさらに次の一部を段階的に示す半導体装置の拡大断面図。

【図10】 第3の実施形態にかかる半導体装置の製造方法の工程のさらに次の一部を段階的に示す半導体装置の拡大断面図。

【図11】 第3の実施形態にかかる半導体装置の製造方法の工程のさらに次の一部を示す半導体装置の拡大断面図。

【図12】 従来の半導体装置の製造方法の工程中の基板工程の一部を段階的に示す半導体装置の拡大断面図。

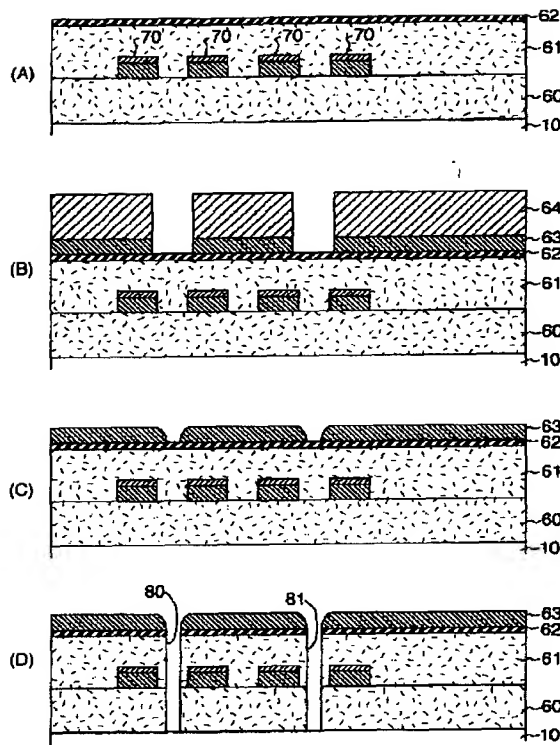
【図13】 従来の半導体装置の製造方法の工程中の配線工程の次の一部を段階的に示す半導体装置の拡大断面図。

【図14】 従来の半導体装置の製造方法の工程中の配線工程のさらに次の一部を段階的に示す半導体装置の拡大断面図。

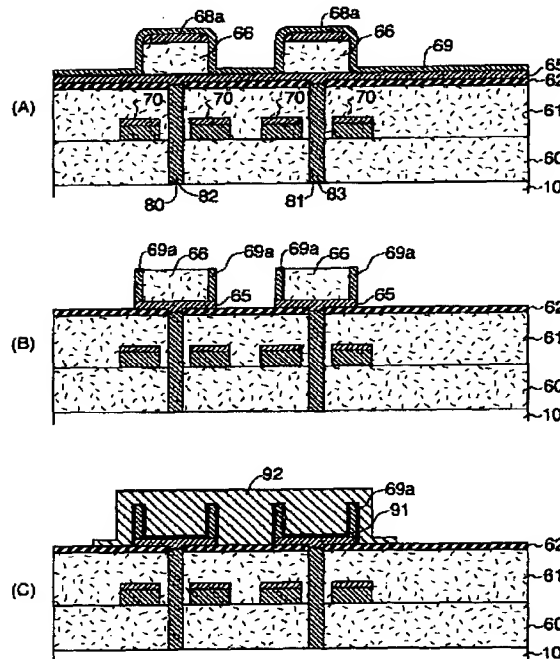
【符号の説明】

- 10 シリコン基板
- 60 第1のシリコン酸化膜
- 61 第2のシリコン酸化膜
- 62 シリコン窒化膜
- 65 第1のポリシリコン膜
- 66 第3のシリコン酸化膜
- 68 第2のポリシリコン膜
- 68a マスクパターン
- 69 第3のポリシリコン膜

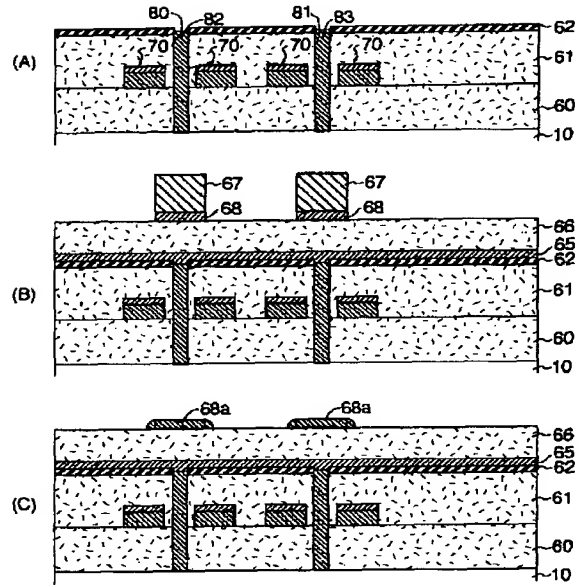
【図 1】



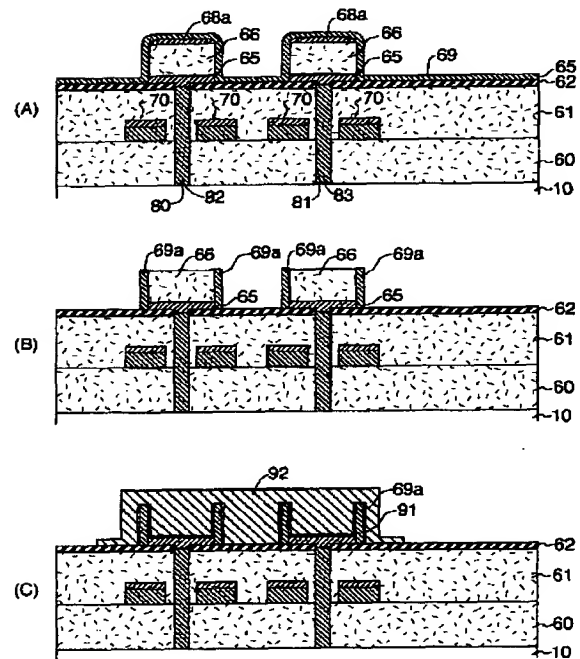
【図 3】



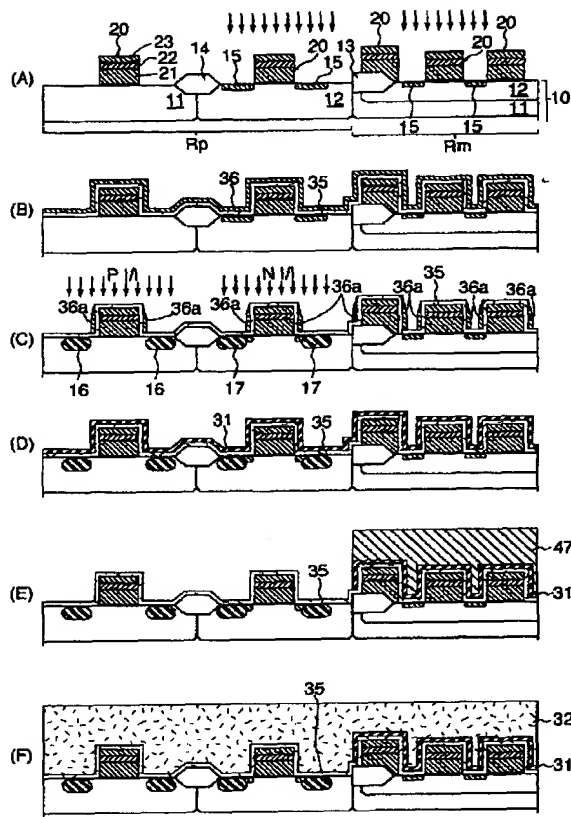
【図 2】



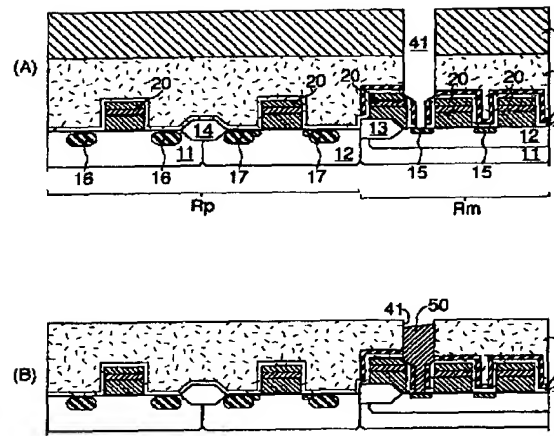
【図 4】



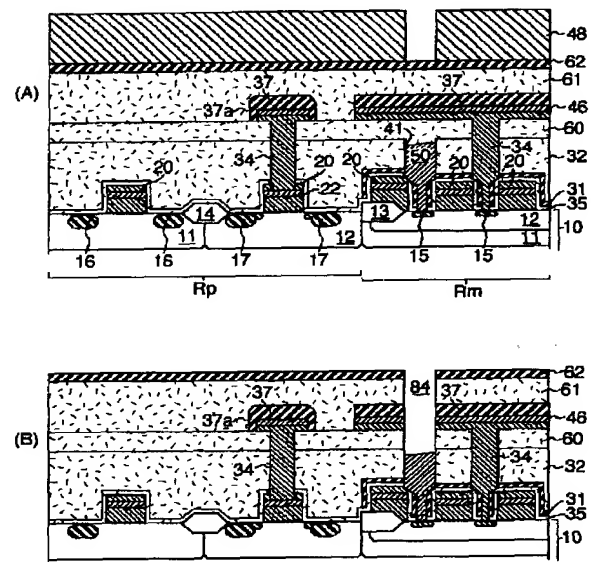
【図5】



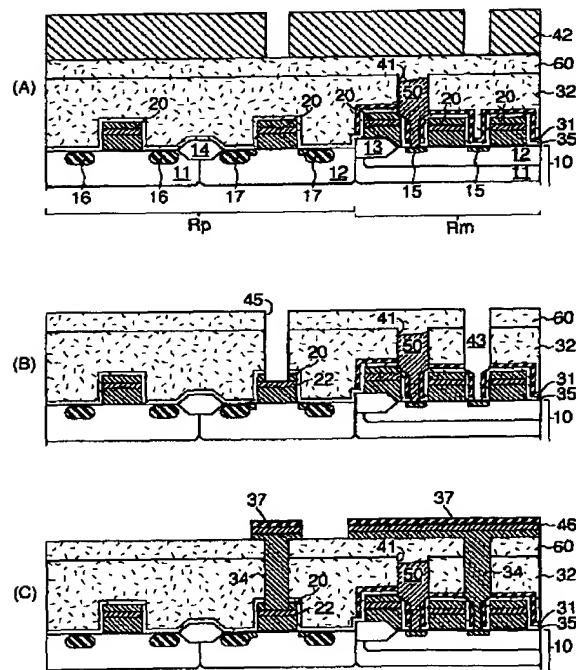
【図 6】



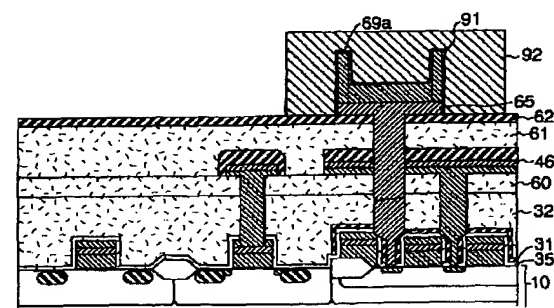
【図 8】



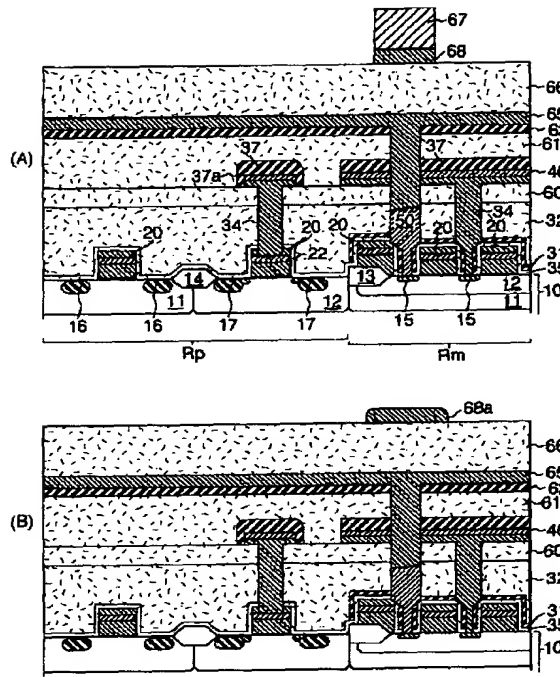
【图 7】



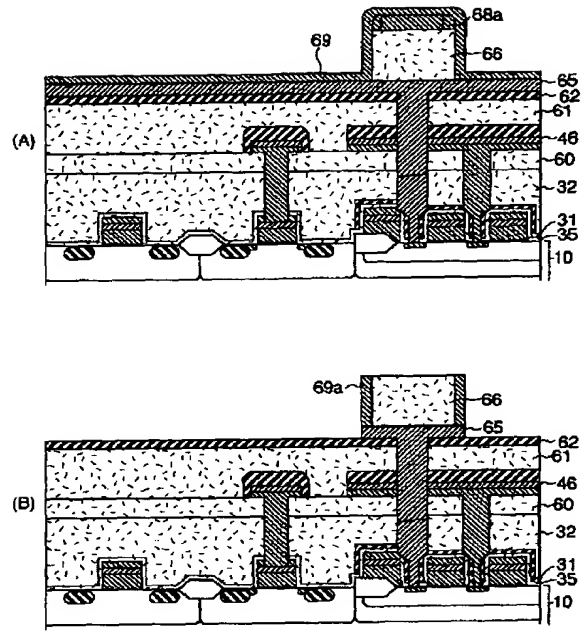
【例 1 1】



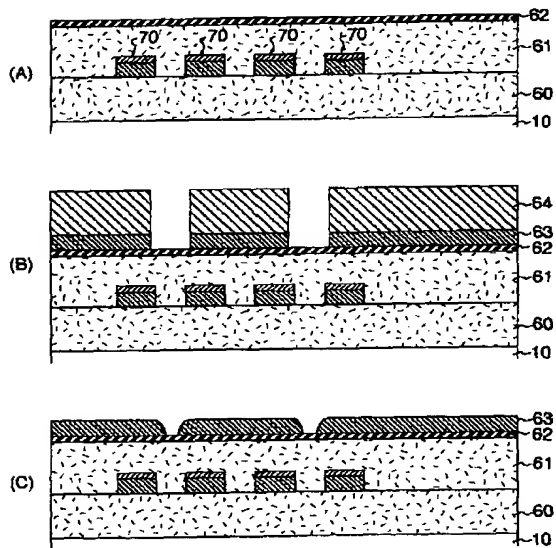
【図 9】



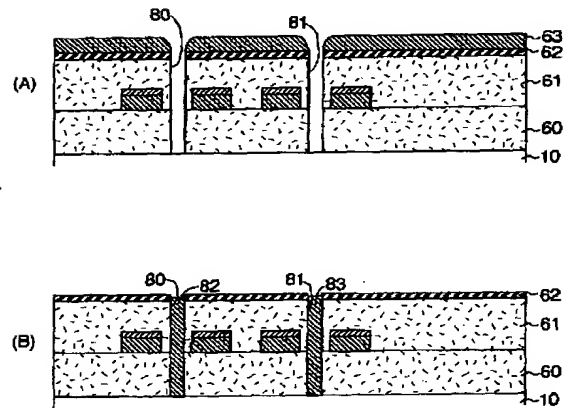
【図 10】



【図 12】



【図 13】



【図 1 4】

